Segnale analogico: valori infiniti digitale: val finiti calcolatori: precisione finita, rappresentazione binaria

IEEE 754: Normalizzata denorm\*\*

ASCII: codice per codifica di cartteri a 8bit (7 carattere 1 parità), 128 caratteri esteso a 256. Pochi

UNICODE: originariamente a 16 bit. 3 tipi di codifica:

UTF-8(retrocompatibilità) UTF-16 (SO odierni e linguaggi di prog) UTF-32

Rappresentazione dei suoni: suono = onda della variazione della pressione dell’aria nel tempo

Codifica digitale: suono 🡪 campionamento (dividi) 🡪 quantizzazione (assegna valori)

Rappresentazione Immagini: griglia di pixel per ognuno dei quali è memorizzata l’intensità e colore

Formato di rappresentazione: grayscale, RGB, palette (ogni colore un indice della palette)

Architettura Von Neumann

CPU: esegue le istruzioni dei programmi della RAM in sequenza, composta da:

-unità di controllo: legge istruzioni dalla memoria e ne determina il tipo

-Microprogrammata(CPU CISC): a ogni istr ISA corrisponde un microprogramma

--cablata(CPU RISC): esecuz su circuito digitale

-ALU: esegue operazioni necessarie all’esecuzione delle istruzioni. Elabora 2 operandi e salva il risultato nei registri = ciclo di data path = ciclo di clock = 1/freq CPU

-registri: memoria interna ad alta velocità (Program Counter: contiene l’indirizzo della prossima istruz da eseguire; Instruction Register: contiene istruz corrente)

Caratteristiche: freq, ampiezza registri, operatività ALU, cache, num core, parallelismo nel chip

RAM: contiene programmi e dati in forma binaria trasferiti attraverso il bus dati dalla/alla CPU

Esecuzione istruzioni

Caricamento(fetch): 1-legge istruz seguente e la mette nell’ IR 2- incrementa il PC(punta prossima)

Decodifica(Decode): 3- decodifica istr

Esecuzione(execute): 4- determinare operandi e dove si trovano 5- operandi nei regisri 6- esegue l’istruzione (interprete semplifica istruz) 7- salva il risultato in un registro

Istruzioni ISA: architet delle istruz che la CPU è in grado di eseguire in Hardware (linguag macchina)

Compilatore: traduttore dei programmi scritti con linguaggio alto

Assembly lenguage costituito da codici mnemonici tradotti dall’assembler in istruzioni ISA

IA-32: ISA dei processori x86 a 32 bit x86-64: archit IA-32 con registri e istruz a 64 bit (WOW64 processi 32b)

Pentium: ha 3 modalità operative: reale, virtuale(emulaz), protetta (liv 0: kernel, liv 3: programmi)

Ha uno spazio di indirizzamento(16mila segmenti di memoria)

e può indirizzare fisicamente(scrive/legge 8 byte per volta, indirizza ogni singolo byte)

Ordinamento byte: Little endian: byte meno significativo nell’indirizzo più basso di memoria (byte contrario)

MMX: permette di utilizzare il processore come SIMD in parallelo la stessa istr su più dati

EFLAGS: bit di stato. Determinano i condition code per salti condizionali (carry parità zero segno overflow)

Modi di Indirizzamento: definiscono modalità di reperimento, MOV

-Indirizzamento immediato: operando contiene un valore -registri EAX -indiretto dei registri [EAX]

- diretto: contiene indir di memoria -indice vett[EAX] -con offset Vettore[ECX\*4+40] base+indi\*scala+spiaz

(signed memorizzati in complemento a due) scala: passo di avanzamento nel vettore (es 4 byte scala=4)

CODICI DI CORREZIONE ERRORI

Distanza hamming: numero di bit corrispondenti che differiscono in due parole

(parola di codice: n bit dati m bit controllo)

bit di parità: numero di bit a 1 pari -> bit di parità: 0

DISCHI MAGNETICI: Dispositivi elettromeccanici, testina magnetizza i dischi, corrente indotta legge le info magnetizz

Traccia: sequenza cirolare di bit Settore: porzione di traccia(preambolo dati correz) cilindro: insieme tracce posiz x

-seek time: trovare e spostare la testina sulla parte desiderata -latency time: passare tutto il settore sotto la testina

Formattazione: crea tracce e settori capacità 🡪densità(lineare/di area) deframm: dati in settori contigui

SSD: disp elettronici fatti da memorie flash NO parti in movimento (num max di scritture per bit)

INTERFACCE DI TRASFERIMENTO (scopo: trasferire dati dei dischi)

Trasferim parallelo: IDE(controllore indirizza settori indicando testina settore cilindro), EIDE, ATA3, ATAPI-4/5/6

Serial ATA: trasferimento seriale su connettore a 7 fili +veloce – surriscaldamento -costo

RAID: scrittura parallela su più dischi per colmare il gap tra prestazioni dischi e cpu (anche correz errore)

DISCHI OTTICI: info codificate tramite fori(pit) e zone piane(land) da pit a land: 1 zona piana:0 su un’unica spirale

CD: principio ottico. Info lette tramite raggio laser, ruota a velocità angolare

CD-ROM: contengono dati, possono contenere metodi di correzione dell’errore, file system proprietario

CD-R: registrabili dagli utenti bruciando tramite laser uno strato di materiale (VTOC simula cancellazione dati)

CD-RW: riscrivibili ripristinando lo strato

DVD: pit più piccoli, spirale più stretta, laser rosso, + veloc lettura strati e lati BLU-RAY: pit più piccoli, laser blu

SCHEDE GRAFICHE: elabora immagini e crea un output visibile a schermo. Componenti:

RAMDAC: effettua la traduzione finale dell’immagine a schermo -memoria video - coprocessore grafico

Interfaccia: Porta AGP: collegamento memoria-GPU per non occupare troppo il bus🡪 PCIe: +banda +potenz)

Formati di output

VGA: formato analogico, tubo catodico DVI: formato sia anal sia digitale, LCD

HDMI: formato digitale + audio DP: HDMI + alcuni tipi di dato

LCD: cristalli liquidi che modificano l’orientamento grazie ad un campo elettrico. Input digitale. Ogni cella è un pixel

Pixel: contatto elettrico + luce posteriore + filtro RGB

Matrice attiva: LCD + pellicola transistor che memorizza lo stato elettrico di ogni pixel (alta risoluz)

Matrice passiva: contatti per ogni riga e colonna, si dedica aun pixel alla volta

OLED: LCD con pixel neri spenti

Mouse: meccanici (sfera fa girare rotelle), ottici (led + rasduttore), laser

Stampanti: dpi misura la definizione, num toner = num colori

A Matrice: testina mobile da 2 a 24 aghi +aghi + qualità

A Laser: tamburo caricato elettricam ricoperto con materiale fotosensibile, stacca quando colpito dal laser toner colora i punti carichi, rulli fissano il materiale sulla carta. Mezzotono per grigi

A getto d’inchiostro: testina CYMK

modelli piezoelettrici: cristallo fa da tappo, con una tensione esce goccia

termici o bubble jet: goccia scaldata all’ebollizione scoppia uscendo dall’ugello, raffreddandosi altra goccia

Reti di comunicazione: collegam apparati vicini: cavo seriale/parallelo, infrarossi, bluetooth, NFC(chip nfc induz elettro)

Reti locali (LAN): rete privata, per comunicare è necessaria una scheda di rete e la comunicaz avviene attraverso protocolli di rete:

livello fisico: definisce le specifiche fisiche del cavo e dei segnali (doppino)

livello di collegamento: sincronizza e compone il pacchetto (ethernet, wifi, ipv4?)

livello di trasporto: instrada i pacchetti (TCP/IP assegnato dal ICANN)

livello di applicazione: interagisce con programmi e software (HTTPS)

IPS (internet service provider): permette l’accesso ad internet per le utenze

Router: dispositivo in grado di interfacciare reti diverse

Modem: trasforma i segnali digit in analogici per le linee telefoniche e viceversa

ADSL: accesso ad internet assimmetrico su doppino telefonico

Transistor: interruttore che mette in comunicaz l’emettitore con il collettore attraverso un segn sulla base

Circuiti integrati: contengono porte logiche (SSI - VLSI), montati in package. Hanno 2 file parallele di contatti

Fabbricazzione: fusione sabbie silicee🡪wafer + materiali + fotolitografia (ricopro con strato fotosens + luce uv🡪 zone solubili asportate)

Circuito combinatorio(MSI): il valore delle uscite è determinato dal valore degli ingressi

Circuito sequenziale: dipende anche dalla storia passata del circuito

Multiplexer (2^n input dati, 1 output, n input controllo): attraverso gli input di controllo seleziono quale input deve essere in uscita (multiplex + demultiplex = combinatori telefonica di più utenti su una linea dati)

Demultiplexer (1 input dati, 2^n output n input controllo): contrario multiplexer

Decoder (n input, 2^n output): attraverso gli n input mette a 1 un solo output (binario🡪carattere)

Comparatore: 2 segnali di input, output in base all’ugualianza o meno degli input (porte XOR: 1 XOR 1= 0)

Array di porte programmabili(PLA): programmato a seconda dell’utilizzo, **n** input a cui viene generato il complemento, **k** unità interne, **k** porte AND a 2x**n** input, **m** output, **m** porte OR a **k** input (FPGA: PLA complesso)

Printed circuit board(PCB): circuito stampato, utilizzato per collegamento di componenti elettronici.

-Montaggio tradizionale: con fori dove sono saldati i piedini -SMT: senza fori

CIRCUITI ARITMETICI: calcolo di semplici operazioni aritmetiche dei loro input

Shifter Adder: a n bit🡪 n full-adder a 1 bit (realizzati da half-adder a 1 bit, somma: XOR, riporto: AND)

full adder: somma = 1 quando ci sono valori a 1 dispari; riporto = 1 se input a 1 >=2

ALU: esegue operaz aritmetiche e logiche elementari su due parole (AND, OR, complemento, somma)

ALU a 1 bit composta da: decodificatore, unità logica, full-adder a 1 bit.

Circuiti sequenziali e memorie

CLOCK: emette un’onda quadra ad intervalli regolari. Il ciclo di clock è il tempo tra due fronti corrispondenti

Latch: circuito bistabile ricorda lo stato (base per memorie RAM) Latch SR(set/reset): latch con 2 NOR

Latch D: sincronizzato per evitare S e R entrambi a 1

Flip flop D: cambiamento di stato determinato dal fronte (e non dal livello come latch)

RAM (memoria volatile)

Assemblaggio: SIMM (un lato di contatti), DIMM (2 lati di contatti) SO-DIMM (portatili), ECC-DIMM (correz errori)

SRAM: ram statica realizzata con flipflop D, veloci e costose (cache L2)

DRAM: ram dinamica realizzata con un array di celle (cella= transistor + condensatore), serve un rinfresco della carica che sennò si disperde, piu dense ed economiche ma più lente

SDRAM: DRAM sincrone

DDR SDRAM: invia dati alla cpu 2 volte per ciniclo di clock attraverso i 2 canali di accesso paralleli

Larghezza di banda: byte trasferiti in una unità di tempo. Hz x 2 x byte ampiez bus (DDR4= 51 GB/s) pipelin

Latenza: tempo necessario per reperire la prima parola

ROM (inizialmente non riscrivibili o cancellabili)

PROM: rom programmabili una sola volta attraverso segnali elettrici che bruciano fusibili

EPROM: PROM cancellabili, transistor interpolavano la carica, cancellabile con luce ultravioletta

EEPROM: EPROM cancellabili elettricamente, + lente piccole e costose delle DRAM

FLASH: tecnologia delle eeprom più recente. Limitato tempo di vita(max 1 milione riscrit) (usb, smartphone)

Organizzazione chip di memoria: ogni memoria è organizzata in chip e ogni chip è caratterizzato da

-Lunghezza di parola: dimensione in bit di ogni unità d’informazione = num pin dati

-numero di parole: num parole in un chip

Dimensione chip in bit= num parole x lunghezza

Servono pin per specificare l’indirizzo da leggere/ scrivere

CACHE: memoria piccola e veloce, colma il gap di velocità tra CPU e DRAM e latenza iniziale (trasf prima parola)

Funzionamento: CPU chiede dati alla cache (cache hit = dati nella cache🡪 vantaggio di tempo)

(cache miss= dati non presenti, traferimento dalla DRAM alla cache)

Caricamento di un dato: richiedo alla cache, carico se presente altrimenti leggo dalla ram (rimpiazzamento)

Spostamento ram-cache: tramite blocchi chiamati linee di cache

Gestione cache: politiche di allocazione e rimpiazzamento:

-località spaziale: alta probabilità di accedere in breve tempo a celle di memoria vicine

-località temporale: alta probabilità di accedere in breve tempo alla stessa cella di memoria ° (LRU=rimpiazzo il blocco meno recente)

Chip della CPU: sono realizzate all’interno di un chip VLSI che hanno un numero enorme di contatti divisi in:

Pin indirizzo: specificano l’indirizzo che la CPU vuole leggere/scrivere

Pin Dati: Leggono/scrivono sulla memoria o su dispositivi

Pin di Controllo: controllo e arbitraggio del bus, interrupt, segnali del coprocessore, stato ecc...

BUS (collegamento elettrico tra dispositivi)

Esterni (alla CPU): collegano CPU alle memorie / periferiche (devono attenersi al protocollo del bus)

Interni (alla CPU) Controller: per connetere 2 bus esterni diversi

Larghezza di bus: indirizza più dati + prestazioni + collegamenti + energia + spazio scheda, connettori grandi

Sincrono: ha una linea occupata dal segnale di clock che stabilisce la cadenza delle operazioni

Asincrono: handshake, più complessi da progettare (bus esterni tipo USB)

Arbitraggio centralizzato: stabilisce a quale dispositivo assegnare il ruolo di master (daisy chaining)

Arbitraggio Decentralizzato: dispositivo in comunicaz con tutti e valuta se lui ha più priorità degli altri

PCI: originariamente sincrono, parallelo e ad arbitraggio centralizzato

PCIe: seriale, multi-master, ha più canali con larg di banda indipendente

USB: seriale, permise di non smontare e spegnere il pc per collegare dispositivi(1.1v 2 linee dati e 2 aliment)

Scheda madre: contiene tutti i chip e collegamenti tra i componenti del pc (CPU socket, bus interno, slot di espansione, slot RAM, connettori e controllori di dispositivi I/O, chipset)

Interfacciamento periferiche

DMA: trasferimento di dati tra memoria e periferiche senza l’intervento della cpu (controllore DMA)

Interrupt: CPU perennemente informata sullo stato della periferica, interruzione periodica (polling) che la cpu può accettare o meno (arbitraggio basato su priorità) +cicli +complessità codice

MIPS: misura le prestazioni di un sitema in milioni di istruzioni per secondo. MFLOPS: operaz floating point

Legge di Amdhal: miglioramento prestazioni = accelerazione componente proporzionato % tempo di utilizzo

CISC: architettura contenente nell’instruction set quante più istruzioni, anche complesse (+ cicli data path)

Unità di controllo microprogrammata (istruz associate a microprogrammi)

RISC: ogni istruz eseguita in un ciclo di data path, istruz semplici non da interpretare eseguite direttamente dall’hardware, Unità di controllo cablata (circuito digitale)

Ottimizziamo la velocità con la quale mandiamo le istruz a eseguire con parallelismo e pipelining

Inst facilmente decodificabili utilizzando una struttura regolare e lung fissa

Disporre di molti registri per ridurre i tempi d’accesso

Aumento prestazioni: + num porte, + velocità commutazione porte, - consumo di corrente, - dissip. Calore

-numero di cicli, + freq clock, parallelismo, predizione di salto, esecuzione fuori ordine e speculativa

Parallelismo:

- a livello di istruzione: più istruz eseguite contemp. dalla cpu (pipelining e processori superscalari)

- a livello di core o processore: più core o processori cooperano per la stessa soluzione

Pipelining: l’esecuz di ogni istruz è suddivisa in più fasi, ognuna delle quali gestita da un hardware dedicato

Dopo la prima istruz risparmio di tempo. Necessarie istr non in conflitto

Archit. Superscalare: 1 pipeline con unità funzionali multiple (calcolo parallelo)

Problema: istr dipendenti

-predizione di salto statica: tutti i salti all’indietro vengono eseguiti

-prediz dinamica: in base a statistiche sulla freq dei salti eseguiti

-esecuzione fuori ordine: saltare temporaneamente istruz che hanno dipendenze

-esecuz. Speculativa: anticipa l’esecuz di parti di codice

Architetture Pentium: a 32bit, bus dati 64 bit, bus indirizzi 36 bit, supporto IA-32

Pentium 4 (CISC, 8 registri visibili, fino a 17 byte per istruzione):

Netburst: architettura, 4 parti principali:

-Sottositema di memoria: cache L2

-Front end: preleva e decodifica (da CISC a RISC) le istruz dalla cache L2. le micro-operazioni sono salvate nela cache delle tracce

-Controllo dell’esecuzione fuori sequenza: micro-operazioni trasferite nello schedulatore che può mandarle in esecuzione anche fuori ordine, i risultati devono essere gli stessi di una esecuzione in ordine

-Unità esecutive: eseguono operazioni (operandi in cache L1)

Caratteristiche:

Hyper threading: il processore è visto dal SO come 2 proc virtuali, sdoppio processi

Nxbit: protezione contro l’esecuzione di codice malevolo, le sezioni di memoria sono contrassegnate con l’nxbit sono dedicate al deposito dati (no istruzioni)

Em64t: avere indirizzi e registri a 64 bit rimanendo in architettura 32 bit

Multicore: si uniscono più processori indipendenti (e rispettive cache) in un unico package

+ potenza di calcolo, =frequenza di lavoro, - calore dissipato

Multiprocessore: più slot per i processori su un’unica scheda madre (Processori separati tra loro)

Famiglie intel x86:

linea Core: fascia medio-alta e workstation (Core i3/i5/i7/i9)

linea Xeon: Core più avanzata, per workstation, server di fascia alta. Ha pù core, supporto memoria ECC e sistemi multiprocessore

linea Atom: per dispositivi ultra-portatili

linea Pentium: fascia medio-bassa

linea Celeron: fascia bassa

AMD: iniziò producendo microprocessori x86 compatibili (supportano istruz ISA degli x86)

Anticipò intel con Athlon 64(processore x86 con supporto 64 bit x86-64)

APU: CPU+GPU integrata 🡪PS4,XBOX ONE

CPU RISC non x86 server (-5% delle macchine server)

SPARC: architettura aperta, big endian, prodotta da Sun e acquistata da Oracle

Power: architettura creata da IBM che alleadosi con apple e motorola creò l’implementazione chiamata PowerPC Utilizzata nei machintosh, non resse il confronto con la concorrenza per la mancanza della compatibilità x86

Verrà poi usato come base per xbox 360 ps3

Alpha : architett. di HP (italium)

IA-64: architettura a 64 bit (italium)

-Parallelismo a livello di istruzione esplicito nelle istruzioni macchina (noto come EPIC), è il compilatore (non il processore) a dover capire quali istruzioni possono essere eseguite in parallelo unendo più istruzioni in una sola (VLIWord) -istruz a lunghezza fissa di 41 bit -fino a 256 registri a 64 bit - -predicato di salto: registru predicato davanti alle istruzioni, se false l’istruz non veniva eseguita

-più pipeline parallele - caricamento speculativo: esecuzione fuori ordine (meldown, spectre)

Abbandonato perché le applicazioni ia-32 erano emulate via software e risultavano troppo lente

Cell: tipologia di processori multicore di IBM (utilizzato nella PS3 e in un super calcolatore)

Multicore con 9 core dove 1 (PPE) è il coordinatore degli altri 8 (SPE) che lavorano parallelamente

ARM: vende licenze di produzione per processori RISC a 32bit e System on chip(SOS). Basso consumo

Core Classic (ARM 7/9/11 🡪 raspberry pi), Core Cortex (cortex-M/R/A🡪smartphone):32 e 64 bit

Domina il mercato dei sistemi embedded e smatphone

Legge di moore: raddopia il numero di transistor su un singolo chip ogni 18 mesi non potrà rimanere valida per molti anni dato che i transistor perderanno la loro funzionalità a causa degli effetti quantistici indotti dal ridotto numero di atomi di cui saranno composti

Soluzione: utilizzo in parallelo di più unità di calcolo

Architetture parallele

hardware sistema parallelo: elementi di calcolo, memoria e modalita di interconnesione[statica/dinamica]

parallelismo a grana grossa: il software che viene parallelizzato è grande, i processi non comunicano

parallelismo a grana fine: software piccolo, processi collaborano per un unico problema

parallelismo nel chip: -a livello di istruzioni: pipelining e archit superscalari

-multi-threading: la cpu esegue due processi(thread) come ci fossero 2 cpu virtuali

-multi-core: multi-threading reale

-più core eterogenei nel chip: Nello stesso chip 2 o più core con funzionalità specifiche

Coprocessori: processore indipendente che esegue compiti specializzati sotto controllo del processore

-processori di rete: gestiscono velocemente flussi di pacchetti sulla rete

-crittoprocessori: cifrano/decifrano velocemente flussi di dati

-processori grafici(GPU): processano grandi quantità di dati video e grafica 3D

Multiprocessori: sistemi a memoria condivisa, qualsiasi processo può scrivere/ leggere tutta la memoria, comunicano tra loro per scrivere o leggere, solo una copia di SO, +complessita hardware –compl software

Multicomputer: hanno più CPU ognuna dotata con una propria memoria e, dato che possono accedere solo a quella, hanno uno scambio di informaz basato su messaggi su rete. 1 SO per pc

Complesso sistema di interconnessione. Allocazione dei processi e dei dati molto importante

-complessità hardware, + compl software

Reti di connesione: dipendono dalla capacità di connesione del multicomputer, una sua astrazione può essere un grafo con archi e nodi.

-Grado: numero di archi collegati ad un nodo -Diametro: distanza tra i nodi più lontani

-Dimensionalità: numero di scelte su assi diversi per andare dalla partenza all’arrivo

Architettura scalabile: le prestazioni aumentano con il numero di processoripl

Parallelismo perfetto non possiamo raggiungerlo a causa dell’aumento di diametro nella rete

Tassonomia di Flynn: classificazione di architetture dei calcolatori basata su sequenza di istr e dati.

- SISD (von neumann) - SIMD (esegue in parall la stessa istr su più dati es. processori vettoriali)

- MISD (nessun utiliz) - MIMD (cluster multipc)

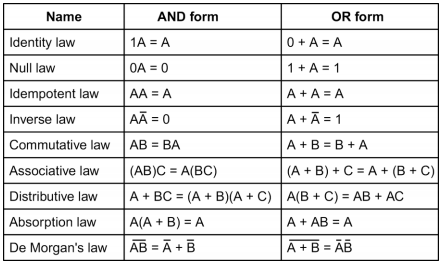
Cluster: PC collegati tra loro con schede di rete

-centralizzati: PC vicini tra loro -decentralizzati: distanti, collegamento internet o LAN

3 tipi di cluster: -fail-over: quando un host smette di funzionare ne subentra un altro (servizio continuativo)

-con load-balancing: richieste inviate alla macchina con meno carico

-HPC: le macchine si suddividono i processi



𝑇𝑇𝑜𝑡 = (𝑁𝑃𝑇𝑜𝑡 ∙ 𝑇𝐶1 ) + [(𝑁𝑃𝑇𝑜𝑡 − 𝑁𝐶1 ) ∙ 𝑇𝐶2 ] + [(𝑁𝑃𝑇𝑜𝑡 − 𝑁𝐶1 − 𝑁𝐶2 ) ∙ 𝑇𝑅𝐴𝑀]

𝑇𝑓 = (𝑝 ∙ 𝑇𝑖)/ 𝛼 + (1 − 𝑝) ∙ 𝑇i

𝑇𝐸𝑠𝐴 = 𝑇𝐶𝑙𝑜𝑐𝑘𝐴 ∙ 𝑁 ∙ 𝐶𝑃𝐼𝐴

𝑇𝐸𝑠𝐵 = 𝑇𝐶𝑙𝑜𝑐𝑘𝐵 ∙ 𝑁 ∙ 𝐶𝑃𝐼𝐵

𝐶𝑃𝐼𝐵 = (1 + (%)/100 ) ∙ 𝐶𝑃𝐼A

𝑇𝑒𝑠 = 𝑇𝑐𝑙𝑜𝑐𝑘 ∙ (∑𝑁𝑖 ∙ 𝐶𝑃𝐼𝑖)